

533, 111

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 3 月 31 日 (31.03.2005)

PCT

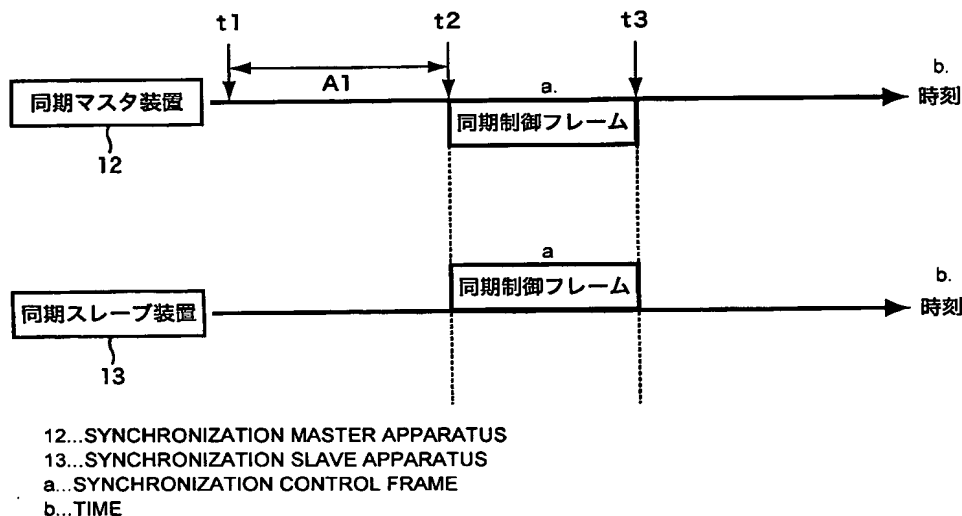
(10) 国際公開番号
WO 2005/029761 A1

- (51) 国際特許分類: H04L 7/08, 7/00, 12/28
- (21) 国際出願番号: PCT/JP2004/011420
- (22) 国際出願日: 2004 年 8 月 3 日 (03.08.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-324919 2003 年 9 月 17 日 (17.09.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 大井 拓哉 (OOI, Takuya) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 稲本 義雄 (INAMOTO, Yoshio); 〒1600023 東京都新宿区西新宿 7 丁目 1 1 番 1 8 号 7 1 1 ビルディング 4 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: COMMUNICATION SYSTEM AND METHOD, INFORMATION PROCESSING APPARATUS AND METHOD, AND PROGRAM

(54) 発明の名称: 通信システムおよび方法、情報処理装置および方法、並びにプログラム



(57) Abstract: Communication system and method, information processing apparatus and method, and a program for providing a highly precise clock synchronization in a simple manner. A synchronization master apparatus (12) produces a synchronization control frame at a time (t1); waits for a time period (A1); starts to transmit the synchronization control frame at a time (t2) when the value of a clock counter register becomes "0"; and resets the clock counter register at a time (t3) when the transmission of the synchronization control frame is completed. On the other hand, a synchronization slave apparatus (13) starts to receive the synchronization control frame at the same timing as the time (t2), and completes, at the same timing as the time (t3), the reception of the synchronization control frame to resets a clock counter register. The present invention is applicable to an A/V data communication system for transmitting/receiving real-time data such as video data and audio data.

[続葉有]

WO 2005/029761 A1



IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 本発明は、簡単に、高精度のクロック同期を行うことができるようにする通信システムおよび方法、情報処理装置および方法、並びにプログラムに関する。同期マスタ装置12は、t1において、同期制御フレームを生成し、時間A1の間待機し、クロックカウンタレジスタの値が「0」になったt2において、同期制御フレームを送信開始し、同期制御フレームの送信が完了したt3において、クロックカウンタレジスタをリセットする。一方、同期スレーブ装置13は、t2と同じタイミングから、同期制御フレームを受信し始め、t3と同じタイミングにおいて、同期制御フレームの受信を完了し、クロックカウンタレジスタをリセットする。本発明は、映像データや音声データなどのリアルタイムデータを送受信するAVデータ通信システムに適用できる。

明細書

通信システムおよび方法、情報処理装置および方法、並びにプログラム

技術分野

- 5 本発明は、通信システムおよび方法、情報処理装置および方法、並びにプログラムに関し、特に、簡単に、高精度のクロック同期を行うことができるようにした通信システムおよび方法、情報処理装置および方法、並びにプログラムに関する。

10 背景技術

- 従来、E t h e r N e t（商標）や、I E E E 8 0 2 . 1 1のワイヤレス L A N（Local Area Network）に代表される C S M A / C D（Carrier Sense Multiple Access with Collision Detection）または C S M A / C A（Carrier Sense Multiple Access with Collision Avoidance）方式
15 のネットワークは、その原理上、ネットワークフレームを送信するタイミングを、一定間隔のタイミングや特定のタイミングで正確に開始することが保証されない。これは、送信タイミングを決定するためのキャリアセンス時間と、コリジョンに伴うランダムバックオフが影響するためである。

- このため、ネットワーク接続されたデバイス間で、ネットワークフレームを用
20 いて高精度なクロック同期を行うことが困難であった。

- そこで、特開 2 0 0 0 - 3 3 2 8 0 2 号公報に示されるように、送信するデータにタイムスタンプを付加し、このタイムスタンプに基づいて、受信側において、送信側のクロックと自己のクロックのずれを検出し、自己のクロックの周波数を制御することにより、送受信間のクロックを同期させるようにした通信システム
25 が提案されている。

しかしながら、上述した通信システムにおいては、送受信間のクロックを同期させるために、受信側に、電圧制御型可変周波数発振器などの専用のハードウェア

アを設置する必要がある。したがって、上述した通信システムを実装するためには、ハードウェア設計から行う必要があり、実装が簡単にできない課題があった。さらに、上述した通信システムに設置される専用のハードウェアの費用がかかってしまう課題があった。

5

発明の開示

本発明は、このような状況に鑑みてなされたものであり、簡単に、高精度のクロック同期を行うことができるようにするものである。

本発明の通信システムは、第1の情報処理装置は、内部の送信用クロックをカウントする送信用クロックカウンタと、所定の周期で、第2の情報処理装置の内部の受信用クロックをカウントする受信用クロックカウンタの値のリセットを指示する同期制御データを生成する生成手段と、生成手段により生成された同期制御データを第1の情報処理装置に送信する送信手段と、送信手段による同期制御データの送信完了後に、送信用クロックカウンタの値をリセットする送信用リセット手段とを備え、第2の情報処理装置は、受信用クロックカウンタと、受信されたデータが同期制御データであるか否かを判断するデータ判断手段と、データ判断手段によりデータが同期制御データであると判断された場合、受信用クロックカウンタの値をリセットする受信用リセット手段とを備えることを特徴とする。

送信用クロックカウンタと受信用クロックカウンタは、同じ範囲の値をカウントするようにすることができる。

第1の情報処理装置は、送信用クロックカウンタの値が0になったか否かを判断するカウンタ判断手段をさらに備え、カウンタ判断手段により送信用クロックカウンタの値が0になったと判断された場合、送信手段は、生成手段により生成された同期制御データを第2の情報処理装置に送信するようにすることができる。

本発明の通信方法は、第1の情報処理装置の通信方法は、所定の周期で、第2の情報処理装置の内部の受信用クロックをカウントする受信用クロックカウンタの値のリセットを指示する同期制御データを生成し、生成された同期制御データ

を第2の情報処理装置に送信し、同期制御データの送信完了後に、内部の送信用クロックをカウントする送信用クロックカウンタの値をリセットし、第2の情報処理装置の通信方法は、受信されたデータが同期制御データであるか否かを判断し、データが同期制御データであると判断された場合、受信用クロックカウンタの値をリセットすることを特徴とする。

本発明の第1の情報処理装置は、内部のクロックをカウントするクロックカウンタと、所定の周期で、他の情報処理装置のクロックカウンタの値のリセットを指示する同期制御データを生成する生成手段と、生成手段により生成された同期制御データを他の情報処理装置に送信する制御データ送信手段と、制御データ送信手段による同期制御データの送信完了後に、クロックカウンタの値をリセットするリセット手段とを備えることを特徴とする。

クロックカウンタは、他の情報処理装置のクロックカウンタと同じ範囲の値をカウントするようにすることができる。

クロックカウンタの値が0になったか否かを判断するカウンタ判断手段をさらに備え、カウンタ判断手段によりクロックカウンタの値が0になったと判断された場合に、制御データ送信手段は、生成手段により生成された同期制御データを他の情報処理装置に送信するようにすることができる。

クロックカウンタの値に基づいて、データのヘッダに、他の情報処理装置がデータを処理するタイミングを示すカウンタ値を付加する付加手段と、付加手段によりカウンタ値が付加されたデータを他の情報処理装置に送信するデータ送信手段とをさらに備えるようにすることができる。

受信されたデータから、他の情報処理装置により付加されたデータを処理するタイミングを示すカウンタ値を取得する取得手段と、クロックカウンタの値が、取得手段により取得されたカウンタ値になったか否かを判断する時刻判断手段と、時刻判断手段により前記クロックカウンタの値がカウンタ値になったと判断された場合、データを処理するデータ処理手段とをさらに備えるようにすることができる。

本発明の第1の情報処理方法は、所定の周期で、情報処理装置のクロックカウンタの値のリセットを指示する同期制御データを生成する生成ステップと、生成ステップの処理により生成された同期制御データを情報処理装置に送信する制御データ送信ステップと、制御データ送信ステップの処理による同期制御データの送信完了後に、内部のクロックをカウントするクロックカウンタの値をリセットするリセットステップとを含むことを特徴とする。

本発明の第1のプログラムは、所定の周期で、情報処理装置のクロックカウンタの値のリセットを指示する同期制御データを生成する生成ステップと、生成ステップの処理により生成された同期制御データを情報処理装置に送信する制御データ送信ステップと、制御データ送信ステップの処理による同期制御データの送信完了後に、内部のクロックをカウントするクロックカウンタの値をリセットするリセットステップとを含むことを特徴とする。

本発明の第2の情報処理装置は、内部のクロックをカウントするクロックカウンタと、受信されたデータが、他の情報処理装置のクロックカウンタの値のリセットと同時にクロックカウンタの値のリセットを指示する同期制御データであるか否かを判断するデータ判断手段と、データ判断手段によりデータが同期制御データであると判断された場合、クロックカウンタの値をリセットするリセット手段とを備えることを特徴とする。

クロックカウンタは、他の情報処理装置のクロックカウンタと同じ範囲の値をカウントするようにすることができる。

クロックカウンタの値に基づいて、データのヘッダに、他の情報処理装置がデータを処理するタイミングを示すカウンタ値を付加する付加手段と、付加手段により前記カウンタ値が付加されたデータを他の情報処理装置に送信するデータ送信手段とをさらに備えるようにすることができる。

受信されたデータから、他の情報処理装置により付加されたデータを処理するタイミングを示すカウンタ値を取得する取得手段と、クロックカウンタの値が、取得手段により取得されたカウンタ値になったか否かを判断する時刻判断手段と、

時刻判断手段によりクロックカウンタの値がカウンタ値になったと判断された場合、データを処理するデータ処理手段とをさらに備えるようにすることができる。

本発明の第2の情報処理方法は、受信されたデータが、情報処理装置のクロックカウンタの値のリセットと同時に内部のクロックをカウントするクロックカウンタの値のリセットを指示する同期制御データであるかを判断するデータ判断ステップと、データ判断ステップの処理によりデータが同期制御データであると判断された場合、クロックカウンタの値をリセットするリセットステップとを含むことを特徴とする。

本発明の第2のプログラムは、受信されたデータが、情報処理装置のクロックカウンタの値のリセットと同時に内部のクロックをカウントするクロックカウンタの値のリセットを指示する同期制御データであるかを判断するデータ判断ステップと、データ判断ステップの処理によりデータが同期制御データであると判断された場合、クロックカウンタの値をリセットするリセットステップとを含むことを特徴とする。

第1の本発明においては、第1の情報処理装置または方法により、所定の周期で、第2の情報処理装置の内部の受信用クロックをカウントする受信用クロックカウンタの値のリセットを指示する同期制御データが生成され、生成された同期制御データが第2の情報処理装置に送信され、同期制御データの送信完了後に、内部の送信用クロックをカウントする送信用クロックカウンタの値がリセットされる。そして、第2の情報処理装置または方法により、受信されたデータが同期制御データであるか否かが判断され、データが同期制御データであると判断された場合、受信用クロックカウンタの値がリセットされる。

第2の本発明においては、所定の周期で、他の情報処理装置のクロックカウンタの値のリセットを指示する同期制御データが生成され、生成された同期制御データが他の情報処理装置に送信され、同期制御データの送信完了後に、内部のクロックをカウントするクロックカウンタの値がリセットされる。

第3の本発明においては、受信されたデータが、他の情報処理装置のクロックカウンタの値のリセットと同時に内部のクロックをカウントするクロックカウンタの値のリセットを指示する同期制御データであるかが判断され、データが同期制御データであると判断された場合、クロックカウンタの値がリセットされる。

- 5 ネットワークとは、少なくとも2つの装置が接続され、ある装置から、他の装置に対して、情報の伝達をできるようにした仕組みをいう。ネットワークを介して通信する装置は、独立した装置どうしであってもよいし、1つの装置を構成している内部ブロックどうしであってもよい。

- 10 また、通信とは、無線通信および有線通信は勿論、無線通信と有線通信とが混在した通信、即ち、ある区間では無線通信が行われ、他の区間では有線通信が行われるようなものであってもよい。さらに、ある装置から他の装置への通信が有線通信で行われ、他の装置からある装置への通信が無線通信で行われるようなものであってもよい。

15 図面の簡単な説明

図1は、本発明のAVデータ通信システムの構成例を示す図である。

図2は、図1の同期マスタ装置の構成例を示すブロック図である。

図3は、図1の同期マスタ装置の機能構成例を示す機能ブロック図である。

図4は、MPEG-TSパケットの構成例を示す図である。

- 20 図5は、図2の同期フレーム処理部の詳細な構成例を示す機能ブロック図である。

図6は、データフレームのデータ構造例を示す図である。

図7は、図1の同期スレーブ装置の構成例を示すブロック図である。

図8は、図1の同期スレーブ装置の機能構成例を示す機能ブロック図である。

- 25 図9は、図1の同期マスタ装置の同期制御フレーム送信処理を説明するフローチャートである。

図 10 は、図 1 の同期スレーブ装置の同期制御フレーム受信処理を説明するフローチャートである。

図 11 は、図 1 の A V データ通信システムの同期制御フレーム送受信処理を説明するタイミングチャートである。

5 図 12 は、図 1 の A V データ通信システムの他の構成例を示す図である。

図 13 は、図 1 の同期マスタ装置の M P E G データ送信処理を説明するフローチャートである。

図 14 は、図 1 の同期スレーブ装置の M P E G データ再生処理を説明するフローチャートである。

10

発明を実施するための最良の形態

以下、図を参照して本発明の実施の形態について説明する。

図 1 は、本発明を適用した A V (Audio Visual) データ通信システム 1 の構成例を表している。LAN (Local Area Network) に代表されるネットワーク 11 には、同期マスタ装置 12、同期スレーブ装置 13-1 乃至 13-3 (以下、これらの同期スレーブ装置を個々に区別する必要がない場合、単に同期スレーブ装置 13 と称する) が、HUB 14 を介して、相互に接続されている。

ネットワーク 11 は、例えば、100Base-T のイーサネット (商標) により構成される。このネットワーク 11 においては、CSMA/CD (Carrier Sense Multiple Access with Collision Detection) 方式が用いられ、100Base-T のスイッチング HUB 14 を介して、同期マスタ装置 12 および同期スレーブ装置 13 間のデータの送受信が行われる。

同期マスタ装置 12 および同期スレーブ装置 13 は、共に、同じ範囲の値をカウントするクロックカウンタレジスタと、同一精度のクロックを有しており、内部のクロックに従って、クロックカウンタレジスタの値をインクリメント (カウント) している。

同期マスタ装置 1 2 は、例えば、A V (Audio Visual) データサーバまたはパーソナルコンピュータなどにより構成され、映像データや音声データなどのリアルタイムデータを、M P E G (Moving Picture Experts Group) 2 の形式で、M P E G データとして記憶、管理している。同期マスタ装置 1 2 は、自己
5 のクロックカウンタレジスタに基づいて、記憶されている M P E G データに時刻情報を付加し、ネットワーク 1 1 および H U B 1 4 を介して、同期スレーブ装置 1 3 に送信する。

同期スレーブ装置 1 3 は、例えば、A V データ (Audio Visual) 再生装置 (テレビジョン装置) または光ディスク記録装置 (光ディスクレコーダ) などにより構成され、ネットワーク 1 1 および H U B 1 4 を介して、A V データサーバ
10 からなる同期マスタ装置 1 2 から M P E G データを受信し、受信された M P E G データを、M P E G データに付加されている時刻情報および自己のクロックカウンタレジスタに基づいて、再生し、内蔵する表示部およびスピーカなどに出力する処理を行う。

15 以上のように、A V データ通信システム 1 においては、映像データや音声データなどのリアルタイムデータが送受信され、送受信された映像データや音声データが、それぞれのクロックに基づいて、再生される。

なお、図 1 の例においては、同期スレーブ装置 1 3 が 3 台のみ示されているが、ネットワーク 1 1 には、任意の台数の同期スレーブ装置 1 3 が接続される。

20 図 2 は、同期マスタ装置 1 2 の構成例を表している。図 2 において、同期マスタ装置 1 2 は、同期スレーブ装置 1 3 のクロックカウンタレジスタ 2 0 1 (後述する図 7) と同じ範囲の値をカウントするクロックカウンタレジスタ 3 1、および同期スレーブ装置 1 3 のクロック 2 0 2 (後述する図 7) と同一精度 (例えば、 $20\text{MHz} \pm 100\text{ppm}$) のクロック 3 2 を有している。C P U (Central
25 Processing Unit) 3 3 は、クロック 3 2 に従って、クロックカウンタレジスタ 3 1 の値をインクリメント (カウント) している。図 2 の例の場合、クロッ

クカウンタレジスタ 31 は、例えば、0 乃至 19,999,999 の範囲の値をカウントし、1 秒ほどの間隔でその値を 1 周する。

CPU 33 は、クロック 32 に従って、ROM (Read Only Memory) 34 に記憶されているプログラム、または記憶部 43 から RAM (Random Access

5 Memory) 35 にロードされたプログラムに従って各種の処理を実行する。RAM 35 にはまた、CPU 33 が各種の処理を実行する上において必要なデータなども適宜記憶される。

CPU 33、ROM 34 および RAM 35 は、CPU バス 36 を介して相互に接続されている。この CPU バス 36 にはまた、CPU バス 36 とシステムバス

10 40 とのブリッジを行うバスブリッジ 37 も接続されている。

システムバス 40 には、各種のボタンおよびスイッチなどよりなる入力部 41、被写体を撮像し、撮像された AV データを、MPEG データとして入力するカメラ部 42、MPEG データを記憶するハードディスクなどより構成される記憶部 43、ネットワーク 11 を介して、同期スレーブ装置 13 との通信処理を行うネットワークインターフェイス (I/F) 44 が接続されている。カメラ部 42 は、
15 被写体を撮像し、撮像された AV データを入力する撮像部 51、および撮像部 51 より入力された AV データを MPEG 2 形式に符号化する MPEG 符号化部 52 により構成される。

システムバス 40 にはまた、必要に応じてドライブ 60 が接続され、磁気ディスク 61、光ディスク 62、光磁気ディスク 63、或いは半導体メモリ 64 などが適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じて記憶部 43 または ROM 34 にインストールされる。

図 3 は、同期マスタ装置 12 の機能構成例を示すブロック図である。図 3 に示される機能ブロックは、同期マスタ装置 12 の CPU 33 により所定の制御プログラムが実行されることで実現される。なお、図 3 の例においては、従来からの
25 通信処理を行うネットワーク処理部 84 に、MPEG データ通信処理を行う機能ブロックが追加されて構成されている。

MPEGデータ取得部81は、MPEG符号化部52または記憶部43からMPEG-TS（トランスポートストリーム）データを取得し、取得されたMPEG-TSデータをMPEGパケット生成部82に出力する。MPEGパケット生成部82は、MPEGデータ取得部81より入力されたMPEG-TSデータからTSパケットを生成し、生成されたTSパケットをクロック同期処理部83に出力する。

クロック同期処理部83は、同期フレーム処理部91およびカウンタ値付加部92により構成される。同期フレーム処理部91は、クロック32に基づいて、所定の周期（例えば、1秒間）毎に、同期スレーブ装置13のクロックカウンタレジスタ201の値のリセットを指示するための同期制御フレームを生成し、生成された同期制御フレームを、ネットワーク通信部85に出力する。

カウンタ値付加部92は、MPEGパケット生成部82よりTSパケットが入力されると、クロックカウンタレジスタ31の値に基づいて、図4に示されるように、MPEGパケット生成部82より入力されたTSパケットのヘッダに、送信先の装置（図1の場合、同期スレーブ装置13）がこのパケットをデコードする時刻を示すMPEGパケットカウンタ値を付加し、データフレームとしてネットワーク通信部85に出力する。

図4は、カウンタ値付加部92によりMPEGパケットカウンタ値が付加されたTSパケットの構成例を示す。図4の例の場合、TSパケットは、4バイトのソースパケットヘッダ（SPH）と188バイトのMPEG-トランスポートストリーム（TS）パケットにより構成される。

パケットヘッダは、7ビットの予約領域（Reserve）および25ビットのタイムスタンプ領域により構成され、図4の例においては、タイムスタンプ領域には、カウンタ値付加部92により付加されたMPEGパケットカウンタ値が格納されている。

図3に戻って、ネットワーク処理部84は、MPEGデータ以外のデータ通信処理（例えば、メールの通信やブラウザアプリケーションを用いての通信など）を制御し、送信するデータフレームを、ネットワーク通信部85に出力する。

5 ネットワーク通信部85は、同期フレーム処理部91より入力される同期制御フレームを、ネットワーク11に接続されているすべての同期スレーブ装置13に向けて、ブロードキャストする。また、ネットワーク通信部85は、カウンタ値付加部92より入力されるデータフレームおよびネットワーク処理部84より入力されるデータフレームを、ネットワーク11を介して、送信先の同期スレーブ装置13に送信する。

10 図5は、同期フレーム処理部91の詳細なブロック図を示す。図5の例においては、同期フレーム処理部91は、同期フレーム制御部101、同期フレーム生成部102、同期フレーム送信部103、およびカウンタリセット部104により構成される。

15 同期フレーム制御部101は、クロック32を監視し、所定の周期毎に、同期フレーム生成部102を制御し、同期制御フレームを生成させる。同期フレーム生成部102は、データフレームに、同期制御フレームであることを示すフラグCをセットすることにより、同期制御フレームを生成し、生成された同期制御フレームを同期フレーム送信部103に出力する。この同期制御フレームについて、図6を参照して詳しく説明する。

20 図6は、データフレームのデータ構造例を示す。なお、図6の例においては、ネットワーク11として、IEEE802.3のネットワークが用いられている場合のデータ構造例である。

IEEE802.3のデータフレームは、先頭から順に、7オクテットの「プリアンブル」フィールド、1オクテットの「SFD(Start Frame
25 Delimiter)」フィールド、6オクテットの「宛先アドレス」フィールド、6オクテットの「送信元アドレス」フィールド、2オクテットの「L (Length) / T (Type)」フィールド、46乃至1500オクテットの「データ/LLC

(Logical Link Control) フィールド、および4オクテットの「FCS (Frame Check Sequence)」フィールドにより構成される。

イーサネット（商標）において、データフレームは、1と0が交互に続くパターンである「プリアンプル」から開始される。図6の例の場合、「プリアンプル」は、「10101010」、「10101010」、「10101010」、「10101010」、「10101010」、「10101010」および「10101010」の7オクテットにより構成されている。そして、このデータフレームを受信する受信装置においては、この「プリアンプル」を受信中に、次の1オクテット「10101011」により構成される「SFD」フィールドが検出されたときに、「プリアンプル」フィールドが終了し、その次のビットから「宛先アドレス」フィールドが始まることが認識される。

「SFD」フィールドの後の「宛先アドレス」フィールドには、宛先のMAC (Media Access Control address) アドレスが設定され、「送信元アドレス」フィールドには、送信元MACアドレスが設定される。「L/T」フィールドは、次の「データ/LLC」フィールドの値が1500オクテット以下の場合には、データのサイズを表し、「L/T」フィールドが1536以上の場合には、データの上位プロトコルのタイプを表すことが定義されている。なお、1501乃至1535については未定義とされている。「データ/LLC」フィールドには、最小46オクテットから、最大1500オクテットまでのデータが格納される。「FCS」フィールドには、フレームのエラーを検出するためのCRC (Cyclic Redundancy Check) 値が設定される。

したがって、同期フレーム生成部102は、以上のように構成されるデータフレームのうち、IEEE 802.3において未定義とされ、使用されていない「L/T」フィールドにおける1501乃至1535のうちの1ビット（例えば、1510）を、同期制御フレームであることを示すフラグCとして割り当て、同期フレーム制御部101の制御に基づいて、フラグCとして割り当てられた15

10を「L/T」フィールドにセットすることにより、同期制御フレームを生成する。

これにより、同期制御フレームを受信した同期スレーブ装置13は、受信されたデータフレームにフラグCがあれば、すなわち、「L/T」フィールドが15
5 10であれば、受信されたデータフレームが同期制御フレームであると認識することができる。

図5に戻って、同期フレーム送信部103は、クロックカウンタレジスタ31の値を監視しており、クロックカウンタレジスタ31の値が「0」になったと判断した場合、同期フレーム生成部102より入力された同期制御フレームを、ネットワーク通信部85を介して、ネットワーク11にブロードキャストする。また、同期フレーム送信部103は、ネットワーク通信部85の同期制御フレームの送信を監視しており、ネットワークインターフェイス44に内蔵されるネットワークコントローラの送信完了割り込みに基づいて、同期制御フレームの送信が完了したと判断し、カウンタリセット部104を制御し、クロックカウンタレジスタ31の値をリセット（「0」に）させる。
10
15

カウンタリセット部104は、同期フレーム送信部103の制御に基づいて、クロックカウンタレジスタ31の値をリセット（「0」に）する。

図7は、同期スレーブ装置13の構成例を表している。図7において、同期スレーブ装置13は、同期マスタ装置12のクロックカウンタレジスタ31と同じ
20 範囲の値をカウントするクロックカウンタレジスタ201、および同期マスタ装置12のクロック32と同一精度のクロック202を有している。CPU203は、クロック202に従って、クロックカウンタレジスタ201の値をインクリメント（カウント）している。

CPU203は、クロック202に従って、ROM204に記憶されているプログラム、またはRAM205にロードされたプログラムに従って各種の処理を実行する。RAM205にはまた、CPU203が各種の処理を実行する上において必要なデータなども適宜記憶される。
25

CPU 203、ROM 204およびRAM 205は、内部バス 206を介して相互に接続されている。この内部バス 206にはまた、DMA (Direct Memory Access) コントローラ 207、SDRAM (Synchronous Dynamic Random Access Memory) 208、および、内部バス 206と入出力インターフェイス用外部バス 210とのブリッジを行うバスブリッジ 209も接続されている。

DMA コントローラ 207は、ネットワークインターフェイス (I/F) 212に受信されるデータフレームからTSパケットを取得し、取得されたTSパケットをSDRAM 208に蓄積する。SDRAM 208には、DMA コントローラ 207よりTSパケットが蓄積される。

入出力インターフェイス用外部バス 210には、各種のボタンおよびスイッチなどよりなる入力部 211、ネットワーク 11を介して、同期マスタ装置 12との通信処理を行うネットワークインターフェイス 212、および、MPEGデコーダインターフェイス (I/F) 213が接続されている。

ネットワークインターフェイス 212には、同期マスタ装置 12から送信されてくるデータフレームが蓄積される。MPEGデコーダインターフェイス 213には、CPU 203の制御により、SDRAM 208に蓄積されているTSパケットがMPEG-TSデータとして入力される。MPEGデコーダインターフェイス 213は、入力されたMPEG-TSデータをデマルチプレクサ 214に出力する。デマルチプレクサ 214は、MPEGデコーダインターフェイス 213より入力されたMPEG-TSデータを、映像データおよび音声データなどに分離し、分離された映像データおよび音声データをデコーダ 215に出力する。

デコーダ 215は、デマルチプレクサ 214より入力された映像データを復号し、表示部 216に映像を表示させるとともに、デマルチプレクサ 214より入力された音声データを復号し、スピーカ 217から音声を出力させる。

入出力インターフェイス用外部バス 210にはまた、必要に応じてドライブ 220が接続され、磁気ディスク 221、光ディスク 222、光磁気ディスク 22

3、或いは半導体メモリ 224 などが適宜装着され、それらから読み出されたコンピュータプログラムが、必要に応じてROM 204 などにインストールされる。

図8は、同期スレーブ装置13の機能構成例を示すブロック図である。図8に示される機能ブロックは、同期スレーブ装置13のCPU 203により所定の制御プログラムが実行されることで実現される。

同期フレーム処理部231は、同期フレーム検出部241およびカウンタリセット部242により構成される。同期フレーム検出部241は、ネットワークインターフェイス212に内蔵されるネットワークコントローラの受信完了割り込みに基づいてデータフレームを受信完了を判断すると、ネットワークインターフェイス212に受信されたデータフレームからフラグCを検出し、受信されたデータフレームからフラグCが検出されたか否か（すなわち、「L/T」フィールドが1510であるか否か）を判断し、受信されたデータフレームからフラグCが検出された場合、受信されたデータフレームが同期制御フレームであると認識し、カウンタリセット部242を制御し、クロックカウンタレジスタ201の値をリセット（「0」に）させる。カウンタリセット部242は、同期フレーム検出部241の制御に基づいて、クロックカウンタレジスタ201の値をリセットする。

データフレーム処理部232は、カウンタ値取得部243、クロック判断部244、データ供給部245により構成される。カウンタ値取得部243は、SDRAM 208に蓄積されているTSパケットのヘッダからMP EGパケットカウンタ値を取得し、取得されたMP EGパケットカウンタ値をクロック判断部244に出力する。

クロック判断部244は、クロックカウンタレジスタ201の値を監視し、クロックカウンタレジスタ201の値が、MP EGパケットカウンタ値になったか否かを判断し、クロックカウンタレジスタ201の値が、MP EGパケットカウンタ値になったと判断した場合、データ供給部245を制御し、対応するTSパケットのMP EG-TSデータを、MP EGデコーダインターフェイス213に

出力させる。データ供給部 245 は、クロック判断部 244 の制御に基づいて、対応する TS パケットを SDRAM 208 から読み出し、読み出された TS パケットの MPEG-TS データを、MPEG デコーダインターフェイス 213 に出力する。

- 5 次に、AV データ通信システム 1 のネットワーク 11 におけるクロック同期について、説明する。

AV データ通信システム 1 のネットワーク 11 においては、CSMA/CD 方式が用いられており、同期マスタ装置 12 および同期スレーブ装置 13 において、同一精度のクロック 32 および 202 が用いられていたとしても、クロックの誤差 (±100 ppm) が生じてしまうため、その原理上、データフレームを送信するタイミングを、一定間隔のタイミングや特定のタイミングで正確に開始することが保証されない。そこで、AV データ通信システム 1 においては、同期マスタ装置 12 により同期制御フレーム送信処理が実行される。

この同期制御フレーム送信処理を、図 9 のフローチャートを参照して説明する。

- 15 同期フレーム制御部 101 は、図 9 のステップ S1 において、クロック 32 を監視し、所定の時間 (例えば、1 秒間) が経過するまで待機しており、所定の時間が経過したと判断した場合、ステップ S2 に進み、同期フレーム生成部 102 を制御し、同期制御フレームを生成させ、ステップ S3 に進む。具体的には、同期フレーム制御部 101 の制御に基づいて、図 6 を参照して上述したフラグ C として割り当てられた 1510 を「L/T」フィールドにセットすることにより、
- 20 同期制御フレームを生成し、生成された同期制御フレームを同期フレーム送信部 103 に出力する。

- 同期フレーム送信部 103 は、ステップ S3 において、クロックカウンタレジスタ 31 の値を監視し、クロックカウンタレジスタ 31 の値が「0」になるまで
- 25 待機し、クロックカウンタレジスタ 31 の値が「0」になったと判断した場合、ステップ S4 に進み、ネットワーク通信部 85 を制御し、同期フレーム生成部 1

02より入力された同期制御フレームを、ネットワーク11にブロードキャストさせ、ステップS5に進む。

同期フレーム送信部103は、ステップS5において、ネットワーク通信部85の同期制御フレームの送信を監視し、同期制御フレームの送信が完了するまで待機しており、ネットワークインターフェイス44に内蔵されるネットワークコントローラの送信完了割り込みに基づいて、同期制御フレームの送信が完了したと判断した場合、ステップS6に進み、カウンタリセット部104を制御し、クロックカウンタレジスタ31の値をリセット（「0」に）させ、同期制御フレームの送信処理を終了する。

10 以上のように、AVデータ通信システム1においては、同期制御マスタ装置12により所定の周期で、同期制御フレームがブロードキャスト送信され、同期制御フレームの送信完了後、クロックカウンタレジスタ31がリセットされる。

一方、同期スレーブ装置13は、同期制御マスタ装置12から送信された同期制御フレームを受信する。この同期スレーブ装置13の同期制御フレーム受信処理を、図10のフローチャートを参照して説明する。

ステップS21において、ネットワークインターフェイス212は、同期マスタ装置12から送信されてくるデータフレームを受信し、ネットワークインターフェイス212に内蔵されるネットワークコントローラの受信完了割り込みに基づいて、データフレームを受信完了すると、ステップS22に進み、同期フレーム検出部241は、ネットワークインターフェイス212に受信されたデータフレームからフラグC（図5の「L/T」フィールドの1510オクテット）を検出し、データフレームからフラグCが検出されたか否かを判断し、データフレームからフラグCが検出されなかったと判断した場合、すなわち、受信されたデータフレームが同期制御フレームではないと判断した場合、同期フレーム受信処理を終了する。

同期フレーム検出部241は、ステップS22において、データフレームからフラグCが検出されたと判断した場合、すなわち、受信されたデータフレームが

同期制御フレームであると判断された場合、ステップS 2 3に進み、カウンタリセット部 2 4 2を制御し、クロックカウンタレジスタ 2 0 1の値をリセット（「0」に）させ、同期フレーム受信処理を終了する。

5 以上のように、A Vデータ通信システム 1においては、同期スレーブ装置 1 3により、同期マスタ装置 1 2から送信された同期制御フレームが受信され、受信された後に、クロックカウンタレジスタ 2 0 1がリセットされる。

すなわち、同期マスタ装置 1 2により、同期制御フレームがブロードキャスト送信され、同期制御フレームの送信完了後、クロックカウンタレジスタ 3 1がリセットされるときに、同期スレーブ装置 1 3も、同期マスタ装置 1 2より送信された同期制御フレームを受信し、受信した同期制御フレームに基づいて、クロックカウンタレジスタ 2 0 1をリセットしている。この同期制御フレームによるクロックカウンタレジスタ 3 1およびクロックカウンタレジスタ 2 0 1のリセットのタイミングについて、図 1 1のタイミングチャートを参照して説明する。

図 1 1は、同期マスタ装置 1 2および同期スレーブ装置 1 3の同期制御フレームの送受信のタイミングを示す。図 1 1の例において、横軸は、時刻を表している。

同期マスタ装置 1 2は、所定の時間が経過したと判断した t_1 のタイミングにおいて、同期制御フレームを生成し、 t_1 のタイミングからクロックカウンタレジスタ 3 1の値が「0」になる t_2 のタイミングまでの時間 A_1 の間、待機している。そして、同期マスタ装置 1 2は、クロックカウンタレジスタ 3 1の値が「0」になった t_2 のタイミングにおいて、同期制御フレームを送信開始し、ネットワークインターフェイス 4 4に内蔵されるネットワークコントローラの送信完了割り込みに基づいて判断される同期制御フレームの送信が完了した t_3 のタイミングにおいて、クロックカウンタレジスタ 3 1をリセットする。

25 ここで、図 1 のネットワーク 1 1においては、CSMA/CD方式が用いられており、CSMA/CD方式においては、送受信装置間のデータの送信完了と受信完了のタイミング（すなわち、ネットワークインターフェイス 4 4に内蔵され

るネットワークコントローラの送信完了割り込みと、ネットワークインターフェイス 212 に内蔵されるネットワークコントローラの受信完了割り込みのタイミング) は、ほぼ同時とされる。なお、このタイミング精度は、例えば、ネットワークが 100BASE-T の場合、100MHz、±1クロック程度の精度であるため、同期クリック (20MHz ± 100ppm) の誤差よりも非常に小さく、
5 同時として説明してもあまり問題にはならないので、以下、送受信装置間のデータの送信完了と受信完了のタイミングは、同時として説明する。

したがって、同期スレーブ装置 13 は、同期マスタ装置 12 が同期制御フレームを送信開始した t_2 と同じタイミングから、同期制御フレームの受信を開始し、
10 同期マスタ装置 12 が同期制御フレームの送信が完了する t_3 の同じタイミングにおいて、ネットワークインターフェイス 212 に内蔵されるネットワークコントローラの受信完了割り込みに基づいて、同期制御フレームの受信を完了したと判断し、クロックカウンタレジスタ 201 をリセットする。

以上のように、CSMA/CD方式において、同期制御フレームの送受信の完了タイミング (すなわち、ネットワークインターフェイス 44 に内蔵されるネットワークコントローラの送信完了割り込みと、ネットワークインターフェイス 212 に内蔵されるネットワークコントローラの受信完了割り込みのタイミング) は同じであるため、同期マスタ装置 12 がクロックカウンタレジスタ 31 をリセットするタイミングと、同期マスタ装置 13 がクロックカウンタレジスタ 201
20 をリセットするタイミングが同じである。

したがって、同期制御フレームを送信した同期マスタ装置 12 と同期制御フレームを受信した複数の同期スレーブ装置 13 は、一斉に、各クロックカウンタレジスタをリセットすることができる。これにより、AVデータ通信システム 1 全体を、20MHz、±1クロック程度の精度で、クロックの同期が取れている状態にすることができる。
25

なお、図 1 2 に示されるように、同期マスタ装置 1 2 が制御フレームをブロードキャスト送信したとしても、ネットワーク 1 1 に接続される同期スレーブ装置 1 3 の中には、同期制御フレームの受信を失敗する場合も考えられる。

図 1 2 は、図 1 の A V データ通信システム 1 を簡略した構成例を示す。図 1 2 の例においては、同期制御フレーム F が、同期マスタ装置 1 2 からネットワーク 1 1 に接続されている同期スレーブ装置 1 3 - 1 乃至 1 3 - 3 にブロードキャスト送信されている。

図 1 2 の例の場合、同期スレーブ装置 1 3 - 1 および 1 3 - 2 は、ネットワーク 1 1 を介して、同期制御フレーム F を受信しているので、同期マスタ装置 1 2、並びに同期スレーブ装置 1 3 - 1 および 1 3 - 2 の間においては、クロック同期をとることができるが、同期スレーブ装置 1 3 - 3 は、同期制御フレームの受信に失敗し、クロック同期がとれていない。この受信エラーにより、結果的に、A V データ通信システム 1 全体において、クロック同期が破綻してしまう恐れがある。

これに対応して、A V データ通信システム 1 においては、図 1 1 を参照して上述したように、クロックカウンタレジスタ 3 1 の値が「0」になる t 2 のタイミングに、同期マスタ装置 1 2 が同期制御フレームを送信するようにしている。

例えば、クロックカウンタレジスタ 3 1 の値が、「5 0 0」のときに、同期マスタ装置 1 2 が同期制御フレームを送信し、各クロックカウンタレジスタをリセット（「0」に）してしまうと、同期制御フレームの受信に失敗した同期スレーブ装置 1 3 - 3 のクロックカウンタレジスタとの値が大きくずれてしまう。そこで、クロックカウンタレジスタ 3 1 の値が「0」になる t 2 のタイミングに、同期制御フレームを送信することにより、仮に、同期スレーブ装置 1 3 - 3 が同期制御フレームの受信に失敗したとしても、クロック同期に成功した同期マスタ装置 1 2、並びに同期スレーブ装置 1 3 - 1 および 1 3 - 2 のクロックカウンタレジスタの値が 1 周して、再び「0」になるとときには、同期スレーブ装置 1 3 - 3

のクロックレジスタカウンタ 201 も、同じ範囲の値をカウントしているため、多少のずれを持ちながらも、同時期に 1 周して「0」になる。

したがって、クロックカウンタレジスタ 31 の値が「0」になる t2 のタイミングに、同期制御フレームを送信することにより、同期制御フレームの受信が失敗したとしても、クロックレジスタカウンタの同期が大きくずれてしまうことが抑制され、クロックレジスタカウンタの同期のずれを最小限に抑えることができる。

以上のように、AVデータ通信システム 1 においては、所定の周期で、同期制御フレームを送信することにより、同期マスタ装置 12 と同期制御フレームを受信した複数の同期スレーブ装置 13 は、一斉に、各クロックカウンタレジスタをリセットすることができるので、AVデータ通信システム 1 全体を、常に、クロック同期が取れている状態に保つようにすることができる。

これにより、AVデータ通信システム 1 において、ネットワーク 11 に接続されている任意の装置が、任意のタイミングに、映像データや音声データなどのリアルタイムデータの送信を開始しても、ネットワーク 11 に接続されている装置であれば、どの装置でも、データ送信開始後に、同期のネゴシエーションを取ることなしに、即座に再生処理を行うことができる。

次に、上述したように、常にクロック同期が取れている状態の AVデータ通信システム 1 における MPEG データ送信、再生処理を、図 13 および図 14 のフローチャートを参照して説明する。なお、図 13 のフローチャートを参照して、同期マスタ装置 12 の MPEG データ送信処理を説明し、図 14 のフローチャートを参照して、同期スレーブ装置 13 の MPEG データ再生処理を説明する。

ユーザは、同期スレーブ装置 13 の入力部 211 を操作して、同期マスタ装置 12 の記憶部 43 に記憶されている MPEG データを、同期スレーブ装置 13 において再生するという指示を、同期スレーブ装置 13 に入力する。同期スレーブ装置 13 の入力部 211 は、ユーザからの指示を、CPU 203 および DMA コントローラ 207 に出力するとともに、MPEG データの送信指示を、ネットワ

ークインターフェイス 2 1 2 を制御し、ネットワーク 1 1 を介して、同期マスタ装置 1 2 に送信する。なお、このユーザによる指示は、同期マスタ装置 1 2 の入力部 4 1 を介して入力されるようにしてもよい。

同期マスタ装置 1 2 の M P E G データ取得部 8 1 は、ステップ S 4 1 において、
5 M P E G データの送信が指示されるまで待機しており、ネットワークインターフェイス 4 4 を介して、同期スレーブ装置 1 3 からの M P E G データの送信の指示を入力すると、M P E G データの送信が指示されたと判断し、ステップ S 4 2 に進み、記憶部 4 3 から M P E G - T S データを取得し、取得された M P E G - T S データを M P E G パケット生成部 8 2 に出力し、ステップ S 4 3 に進む。

10 M P E G パケット生成部 8 2 は、ステップ S 4 3 において、M P E G データ取得部 8 1 より入力された M P E G - T S データから T S パケットを生成し、生成された T S パケットをクロック同期処理部 8 3 に出力し、ステップ S 4 4 に進み、カウンタ値付加部 9 2 は、クロックカウンタレジスタ 3 1 の値に基づいて、M P E G パケット生成部 8 2 より入力された T S パケットのヘッダに、送信先の装置
15 (図 1 の場合、同期スレーブ装置 1 3) がこの T S パケットをデコードする時刻を示す M P E G パケットカウンタ値を付加し、M P E G パケットカウンタ値が付加された T S パケットを、データフレームとしてネットワーク通信部 8 5 に出力し、ステップ S 4 5 に進む。

ステップ S 4 5 において、ネットワーク通信部 8 5 は、カウンタ値付加部 9 2
20 より入力されたデータフレームを、ネットワーク 1 1 を介して、送信先の同期スレーブ装置 1 3 に送信し、ステップ S 4 6 に進む。M P E G データ取得部 8 1 は、ステップ S 4 6 において、指示された M P E G データの送信が終了したか否かを判断し、M P E G データの送信が終了したと判断した場合、M P E G データの送信処理を終了する。また、M P E G データ取得部 8 1 は、ステップ S 4 6 において、
25 M P E G データの送信が終了していないと判断した場合、ステップ S 4 2 に戻り、それ以降の処理を繰り返す。

これに対応して、同期スレーブ装置 13 のネットワークインターフェイス 212 は、ネットワーク 11 を介して、同期マスタ装置 12 からデータフレームを受信する。DMA コントローラ 207 は、ネットワークインターフェイス 212 に受信されるデータフレームから TS パケットを取得し、取得された TS パケットを SDRAM 208 に蓄積する。

一方、同期スレーブ装置 13 のカウンタ値取得部 243 は、図 14 のステップ S61 において、MPEG データの再生が指示されるまで待機しており、入力部 211 を介して、ユーザからの MPEG データの再生の指示が入力されると、MPEG データの再生が指示されたと判断し、ステップ S62 に進み、SDRAM 208 に蓄積されている TS パケットのヘッダから MPEG パケットカウンタ値を取得し、取得された MPEG パケットカウンタ値をクロック判断部 244 に出力し、ステップ S63 に進む。

クロック判断部 244 は、ステップ S63 において、クロックカウンタレジスタ 201 の値を監視し、クロックカウンタレジスタ 201 の値が、MPEG パケットカウンタ値になるまで待機しており、クロックカウンタレジスタ 201 の値が、MPEG パケットカウンタ値になったと判断した場合、ステップ S64 に進み、データ供給部 245 を制御し、対応する TS パケットの MPEG-TS データを、MPEG デコーダインターフェイス 213 に出力させる。MPEG デコーダインターフェイス 213 は、入力された MPEG-TS データをデマルチプレクサ 214 に出力し、ステップ S65 に進む。

デマルチプレクサ 214 は、ステップ S65 において、MPEG デコーダインターフェイス 213 より入力された MPEG-TS データを、映像データおよび音声データなどに分離し、分離された映像データおよび音声データをデコーダ 215 に出力し、ステップ S66 に進み、デコーダ 215 は、デマルチプレクサ 214 より入力された映像データを復号し、表示部 216 に映像を表示させるとともに、デマルチプレクサ 214 より入力された音声データを復号し、スピーカ 217 から音声を出力させ、ステップ S67 に進む。

ステップS 6 7において、カウンタ値取得部 2 4 3 は、指示されたMPEGデータの再生が終了したか否かを判断し、MPEGデータの再生が終了したと判断した場合、MPEGデータの再生処理を終了する。また、カウンタ値取得部 2 4 3 は、ステップS 6 7において、MPEGデータの再生が終了していないと判断した場合、ステップS 6 2に戻り、それ以降の処理を繰り返す。

以上のように、AVデータ通信システム1において同期されているクロックに基づいて、MPEGデータを送信し、再生するようにしたので、高精度な再生を行うことができる。

また、AVデータ通信システム1においては、同期制御フレームにより同じタイミングでクロックカウンタレジスタをリセットするだけで、クロック同期を取ることができる。したがって、このようなシステムを実装するためには、専用のLSIなどのハードウェアを必要とせず、例えば、上述したように、同期マスタ装置12において、図3のネットワーク処理部84に、MPEGデータを送信する機能ブロックを追加するだけでよい。すなわち、既存の802.3xや802.11xのネットワークインターフェイス（MACリンク層や物理層）をそのまま利用することができるので、実装がとても簡単である。

なお、以上においては、ネットワークを、CSMA/CD方式を用いるイーサネット（商標）のLANとして説明したが、CSMA/CA方式を用いるようにしてもよいし、上述したようにデータの送受信のタイミングが同時であれば、インターネットなど他のネットワークを用いるようにしてもよい。

また、上記説明においては、同期マスタ装置を、AVデータサーバまたはパーソナルコンピュータなどとして説明し、同期スレーブ装置を、AVデータ再生装置または光ディスク記録装置などとして説明したが、ネットワーク上に、同期制御フレームを送信する同期マスタ装置が1台のみ接続されていれば、同期マスタ装置および同期スレーブ装置は、どのような装置であってもよい。

したがって、上記説明においては、同期マスタ装置がMPEGデータを送信するようにしたが、AVデータ通信システム1においては、同期マスタ装置により

AVデータ通信システム1全体の装置にクロック同期が取られているため、同期スレーブ装置から同期マスタ装置にMPEGデータを送信するようにしてもよいし、また、同期スレーブ装置から他の同期スレーブ装置にMPEGデータを送信するようにしてもよい。

- 5 また、上記説明においては、イーサネットなどを用いたリアルタイム映像ストリームの伝送において、高精度のコンテンツ再生を行うAVデータ通信システムについて説明したが、FA (Factory Automation) システムにおいて、高精度なりあるタイム性の要求される分散制御デバイス間のカウンタ同期にも適用することができる。また、GPS (Global Positioning System) などを使用
- 10 して、デバイス間のタイミング制御を行うネットワークシステムにも適用される。

上述した一連の処理は、ハードウェアにより実行させることもできるが、ソフトウェアにより実行させることもできる。一連の処理をソフトウェアにより実行させる場合には、そのソフトウェアを構成するプログラムが、専用のハードウェアに組み込まれているコンピュータ、または、各種のプログラムをインストール

15 することで、各種の機能を実行することが可能な、例えば汎用のパーソナルコンピュータなどに、プログラム格納媒体からインストールされる。

コンピュータにインストールされ、コンピュータによって実行可能な状態とされるプログラムを格納するプログラム格納媒体は、図2および図7に示されるように、磁気ディスク61, 221 (フレキシブルディスクを含む)、光ディスク

20 62, 222 (CD-ROM (Compact Disc-Read Only Memory)、DVD (Digital Versatile Disc)を含む)、光磁気ディスク63, 223 (MD (Mini-Disc) (商標)を含む)、もしくは半導体メモリ64, 224などよりなるパッケージメディア、または、プログラムが一時的もしくは永続的に格納されるROM34, 204や記憶部43などにより構成される。

- 25 なお、本明細書において、フローチャートに示されるステップは、記載された順序に従って時系列的に行われる処理はもちろん、必ずしも時系列的に処理されなくとも、並列的あるいは個別に実行される処理をも含むものである。

なお、本明細書において、システムとは、複数の装置により構成される装置全体を表すものである。

産業上の利用可能性

- 5 本発明によれば、簡単に、高精度のクロック同期を行うことができる。さらに、本発明によれば、コストをかけずに、高精度のクロック同期を行うことができる。

請求の範囲

1. ネットワークで相互に接続される第1の情報処理装置と第2の情報処理装置の間でデータを通信する通信システムにおいて、

前記第1の情報処理装置は、

5 内部の送信用クロックをカウントする送信用クロックカウンタと、

所定の周期で、前記第2の情報処理装置の内部の受信用クロックをカウントする受信用クロックカウンタの値のリセットを指示する同期制御データを生成する生成手段と、

10 前記生成手段により生成された前記同期制御データを前記第2の情報処理装置に送信する送信手段と、

前記送信手段による前記同期制御データの送信完了後に、前記送信用クロックカウンタの値をリセットする送信リセット手段と

を備え、

前記第2の情報処理装置は、

15 前記受信用クロックカウンタと、

受信されたデータが前記同期制御データであるか否かを判断するデータ判断手段と、

前記データ判断手段により前記データが前記同期制御データであると判断された場合、前記受信用クロックカウンタの値をリセットする受信リセット手段と

20 を備えることを特徴とする通信システム。

2. 前記送信用クロックカウンタと前記受信用クロックカウンタは、同じ範囲の値をカウントする

ことを特徴とする請求の範囲第1項に記載の通信システム。

3. 前記第1の情報処理装置は、前記送信用クロックカウンタの値が0になったか否かを判断するカウンタ判断手段をさらに備え、

25

前記カウンタ判断手段により前記送信用クロックカウンタの値が0になったと判断された場合、前記送信手段は、前記生成手段により生成された前記同期制御データを前記第2の情報処理装置に送信する

ことを特徴とする請求の範囲第1項に記載の通信システム。

- 5 4. ネットワークで相互に接続される第1の情報処理装置と第2の情報処理装置の間でデータを通信する通信システムの通信方法において、

前記第1の情報処理装置の通信方法は、

- 10 所定の周期で、前記第2の情報処理装置の内部の受信用クロックをカウントする受信用クロックカウンタの値のリセットを指示する同期制御データを生成し、生成された前記同期制御データを前記第2の情報処理装置に送信し、前記同期制御データの送信完了後に、内部の送信用クロックをカウントする送信用クロックカウンタの値をリセットし、

前記第2の情報処理装置の通信方法は、

- 15 受信された前記データが前記同期制御データであるか否かを判断し、前記データが前記同期制御データであると判断された場合、前記受信用クロックカウンタの値をリセットする

ことを特徴とする通信方法。

5. ネットワークで接続された他の情報処理装置とデータを送受信する情報処理装置において、

- 20 内部のクロックをカウントするクロックカウンタと、

所定の周期で、前記他の情報処理装置のクロックカウンタの値のリセットを指示する同期制御データを生成する生成手段と、

前記生成手段により生成された前記同期制御データを前記他の情報処理装置に送信する制御データ送信手段と、

- 25 前記制御データ送信手段による前記同期制御データの送信完了後に、前記クロックカウンタの値をリセットするリセット手段と

を備えることを特徴とする情報処理装置。

6. 前記クロックカウンタは、前記他の情報処理装置のクロックカウンタと同じ範囲の値をカウントする

ことを特徴とする請求の範囲第5項に記載の情報処理装置。

7. 前記クロックカウンタの値が0になったか否かを判断するカウンタ判断手段をさらに備え、

前記カウンタ判断手段により前記クロックカウンタの値が0になったと判断された場合に、前記制御データ送信手段は、前記生成手段により生成された前記同期制御データを前記他の情報処理装置に送信する

ことを特徴とする請求の範囲第5項に記載の情報処理装置。

10 8. 前記クロックカウンタの値に基づいて、前記データのヘッダに、前記他の情報処理装置が前記データを処理するタイミングを示すカウンタ値を付加する付加手段と、

前記付加手段により前記カウンタ値が付加された前記データを前記他の情報処理装置に送信するデータ送信手段と

15 をさらに備えることを特徴とする請求の範囲第5項に記載の情報処理装置。

9. 受信された前記データから、前記他の情報処理装置により付加された前記データを処理するタイミングを示すカウンタ値を取得する取得手段と、

前記クロックカウンタの値が、前記取得手段により取得された前記カウンタ値になったか否かを判断する時刻判断手段と、

20 前記時刻判断手段により前記クロックカウンタの値が前記カウンタ値になったと判断された場合、前記データを処理するデータ処理手段と

をさらに備えることを特徴とする請求の範囲第5項に記載の情報処理装置。

10. ネットワークで接続された情報処理装置とデータを送受信する情報処理方法において、

25 所定の周期で、前記情報処理装置のクロックカウンタの値のリセットを指示する同期制御データを生成する生成ステップと、

前記生成ステップの処理により生成された前記同期制御データを前記情報処理装置に送信する制御データ送信ステップと、

前記制御データ送信ステップの処理による前記同期制御データの送信完了後に、内部のクロックをカウントするクロックカウンタの値をリセットするリセットス

5 テップと

を含むことを特徴とする情報処理方法。

1 1. ネットワークで接続された情報処理装置とデータを送受信する処理をコンピュータに行わせるプログラムであって、

10 所定の周期で、前記情報処理装置のクロックカウンタの値のリセットを指示する同期制御データを生成する生成ステップと、

前記生成ステップの処理により生成された前記同期制御データを前記情報処理装置に送信する制御データ送信ステップと、

前記制御データ送信ステップの処理による前記同期制御データの送信完了後に、内部のクロックをカウントするクロックカウンタの値をリセットするリセットス

15 テップと

を含むことを特徴とするプログラム。

1 2. ネットワークで接続された他の情報処理装置とデータを送受信する情報処理装置において、

内部のクロックをカウントするクロックカウンタと、

20 受信された前記データが、前記他の情報処理装置のクロックカウンタの値のリセットと同時に前記クロックカウンタの値のリセットを指示する同期制御データであるか否かを判断するデータ判断手段と、

前記データ判断手段により前記データが前記同期制御データであると判断された場合、前記クロックカウンタの値をリセットするリセット手段と

25 を備えることを特徴とする情報処理装置。

1 3. 前記クロックカウンタは、前記他の情報処理装置のクロックカウンタと同じ範囲の値をカウントする

ことを特徴とする請求の範囲第 1 2 項に記載の情報処理装置。

1 4. 前記クロックカウンタの値に基づいて、前記データのヘッダに、前記他の情報処理装置が前記データを処理するタイミングを示すカウンタ値を付加する付加手段と、

5 前記付加手段により前記カウンタ値が付加された前記データを前記他の情報処理装置に送信するデータ送信手段と

をさらに備えることを特徴とする請求の範囲第 1 2 項に記載の情報処理装置。

1 5. 受信された前記データから、前記他の情報処理装置により付加された前記データを処理するタイミングを示すカウンタ値を取得する取得手段と、

10 前記クロックカウンタの値が、前記取得手段により取得された前記カウンタ値になったか否かを判断する時刻判断手段と、

前記時刻判断手段により前記クロックカウンタの値が前記カウンタ値になったと判断された場合、前記データを処理するデータ処理手段と

をさらに備えることを特徴とする請求の範囲第 1 2 項に記載の情報処理装置。

15 1 6. ネットワークで接続された情報処理装置とデータを送受信する情報処理方法において、

受信された前記データが、前記情報処理装置のクロックカウンタの値のリセットと同時に内部のクロックをカウントするクロックカウンタの値のリセットを指示する同期制御データであるかを判断するデータ判断ステップと、

20 前記データ判断ステップの処理により前記データが前記同期制御データであると判断された場合、前記クロックカウンタの値をリセットするリセットステップと

を含むことを特徴とする情報処理方法。

1 7. ネットワークで接続された情報処理装置とデータを送受信する処理をコ

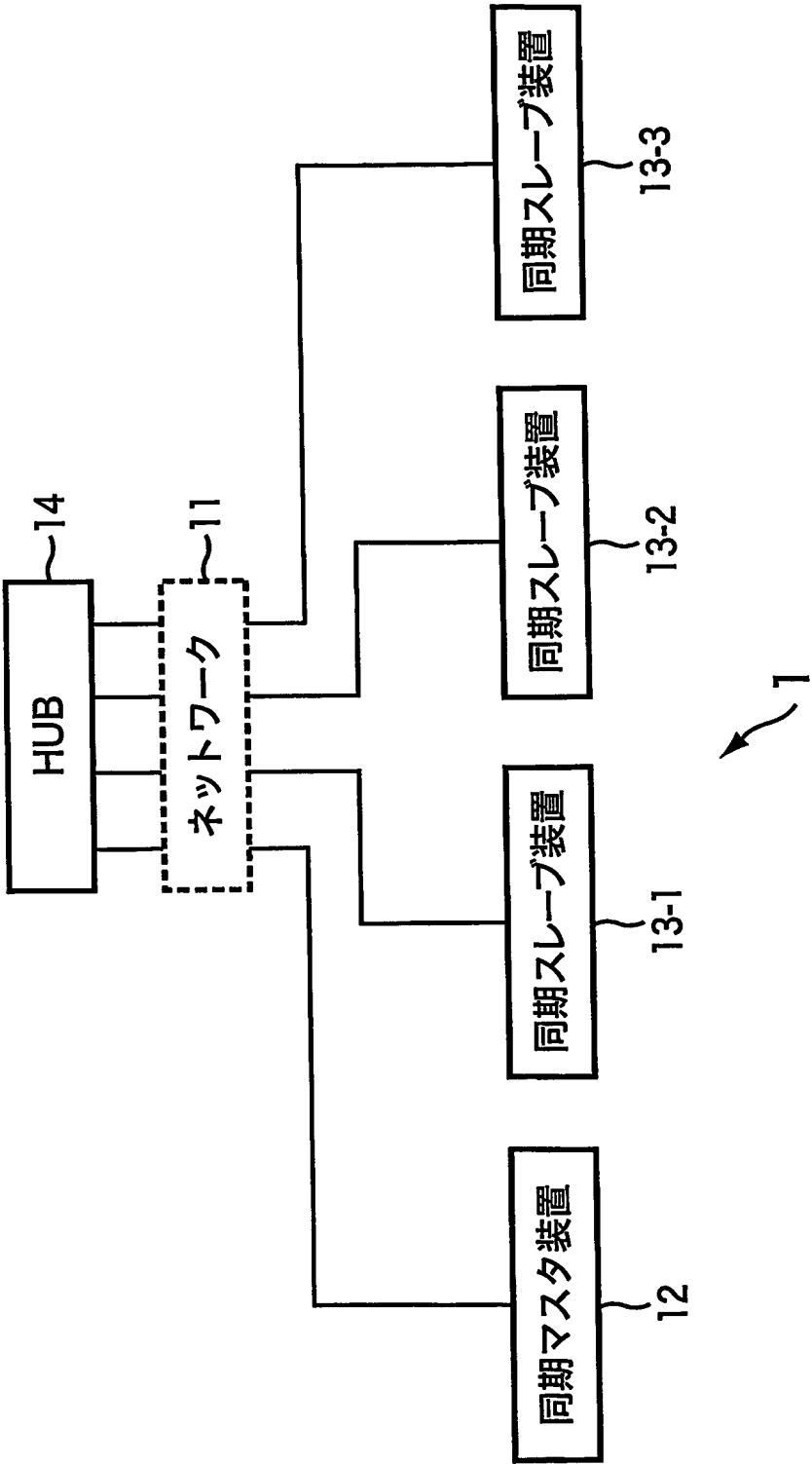
25 ンピュータに行わせるプログラムであって、

受信された前記データが、前記情報処理装置のクロックカウンタの値のリセットと同時に内部のクロックをカウントするクロックカウンタの値のリセットを指示する同期制御データであるかを判断するデータ判断ステップと、

- 前記データ判断ステップの処理により前記データが前記同期制御データである
- 5 と判断された場合、前記クロックカウンタの値をリセットするリセットステップと

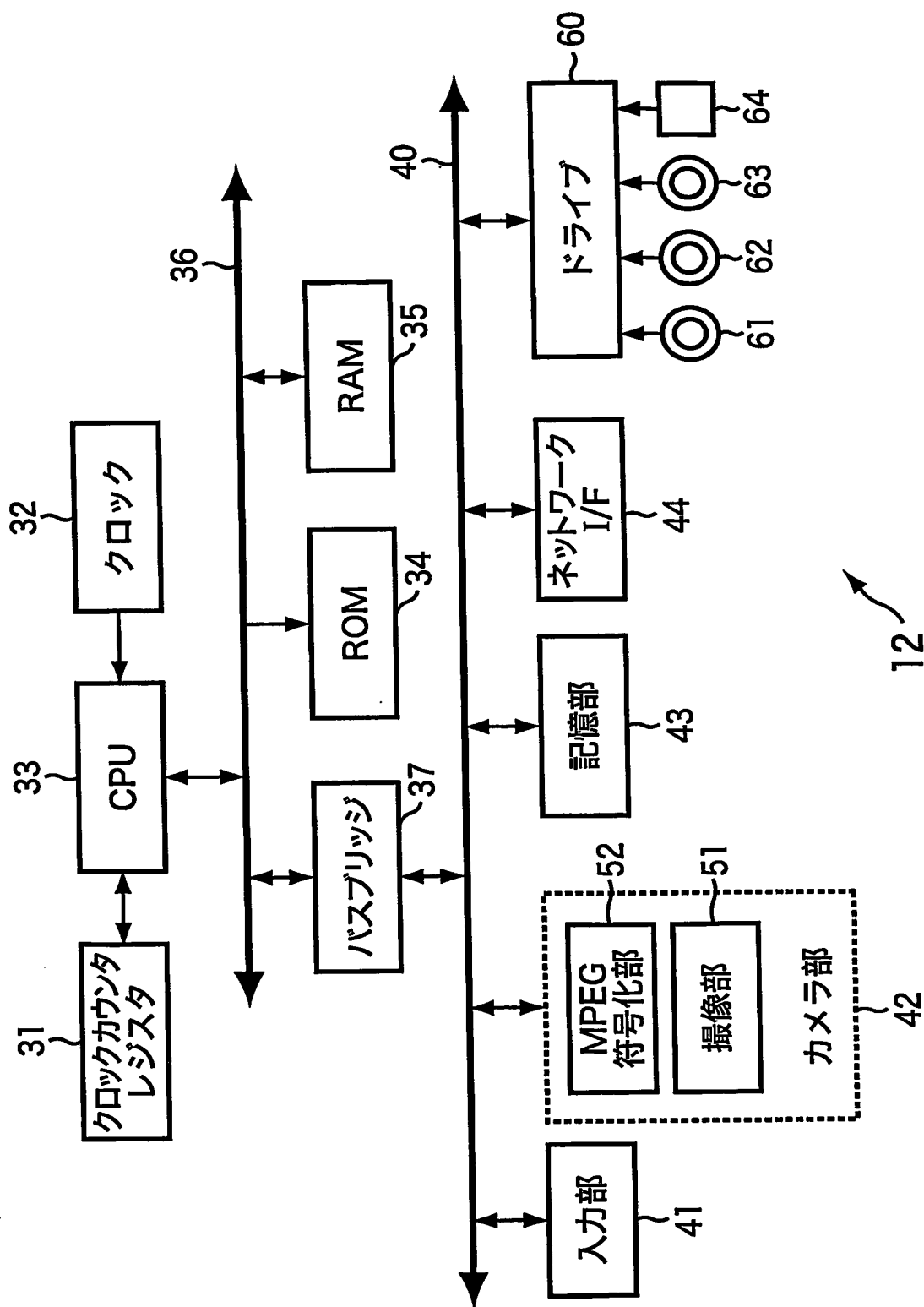
を含むことを特徴とするプログラム。

図1



2/13

図2



3/13

図 3

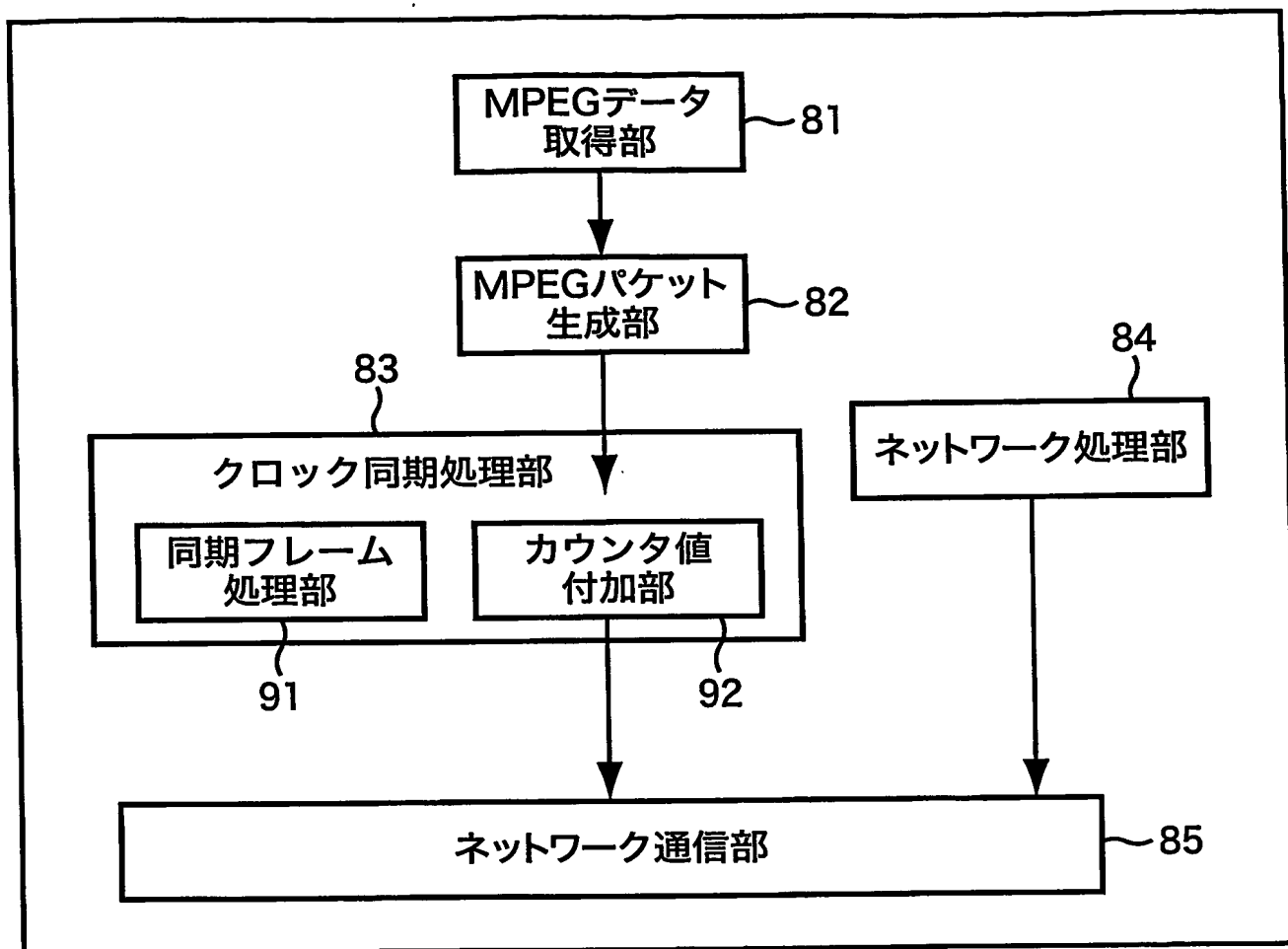
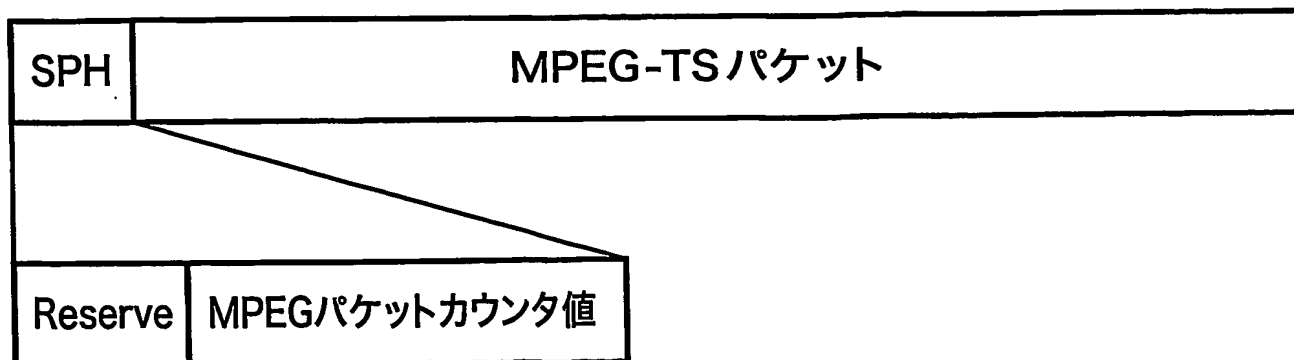


図 4



4/13

図 5

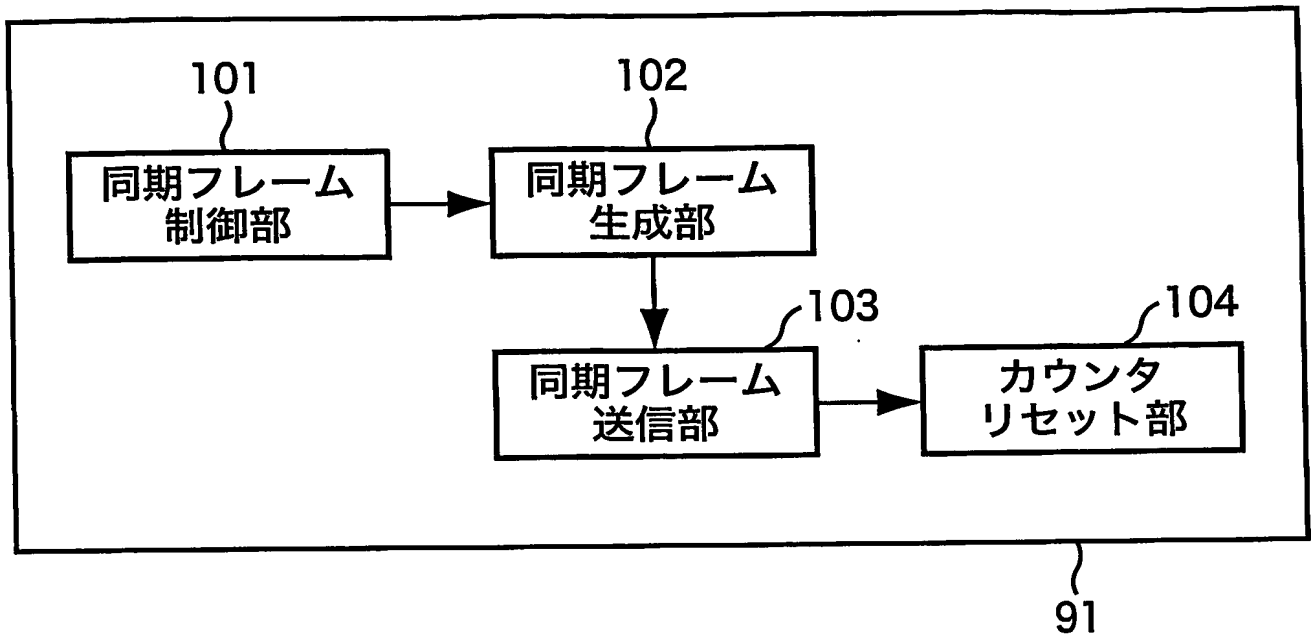
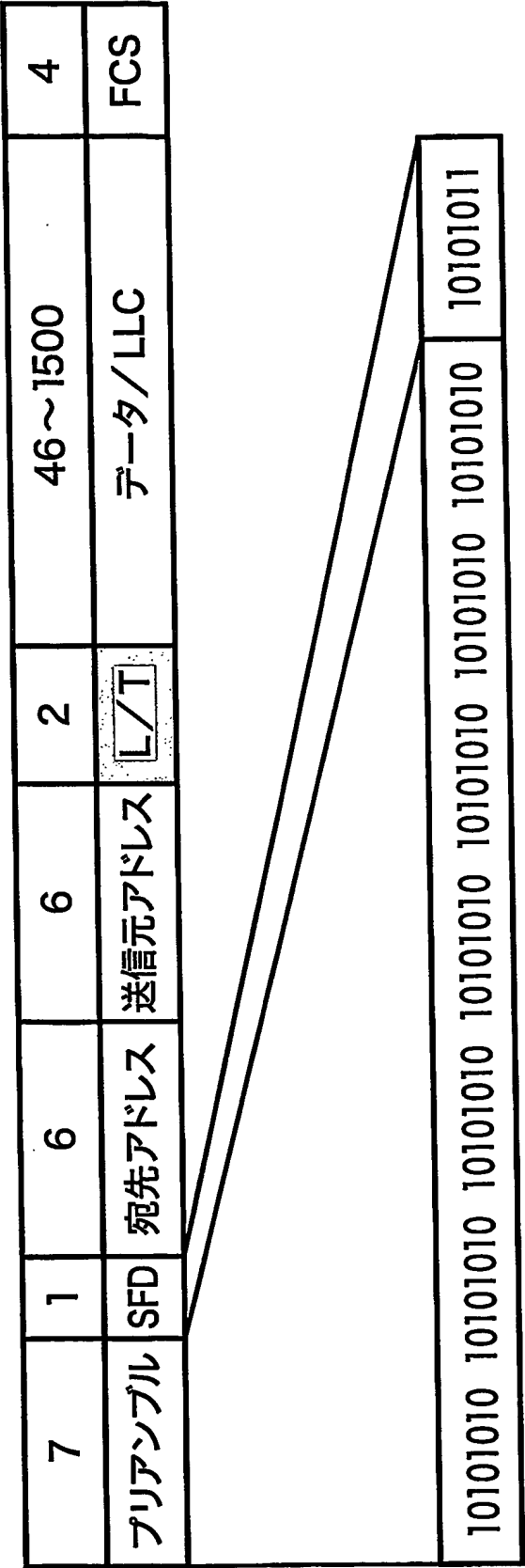
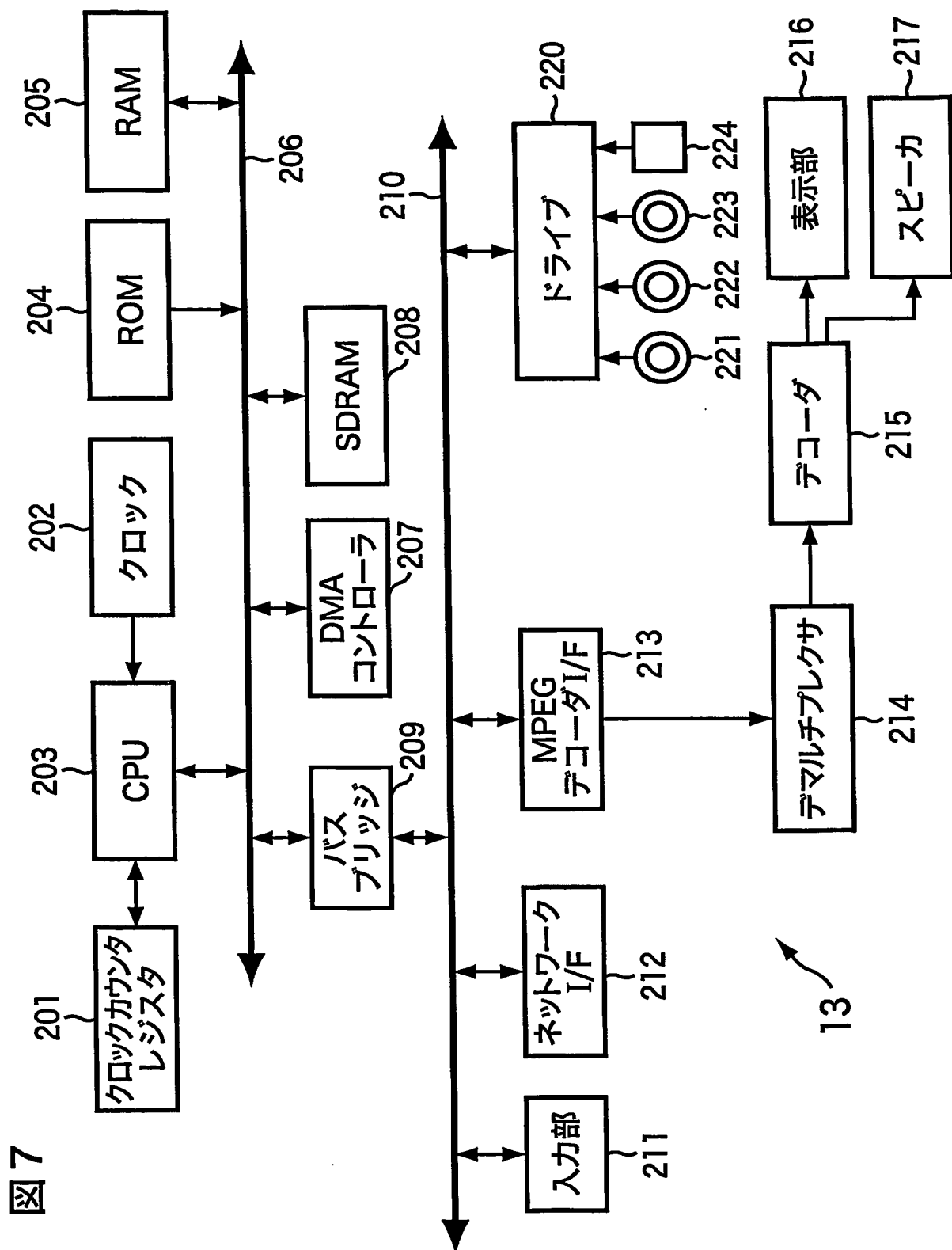


図6

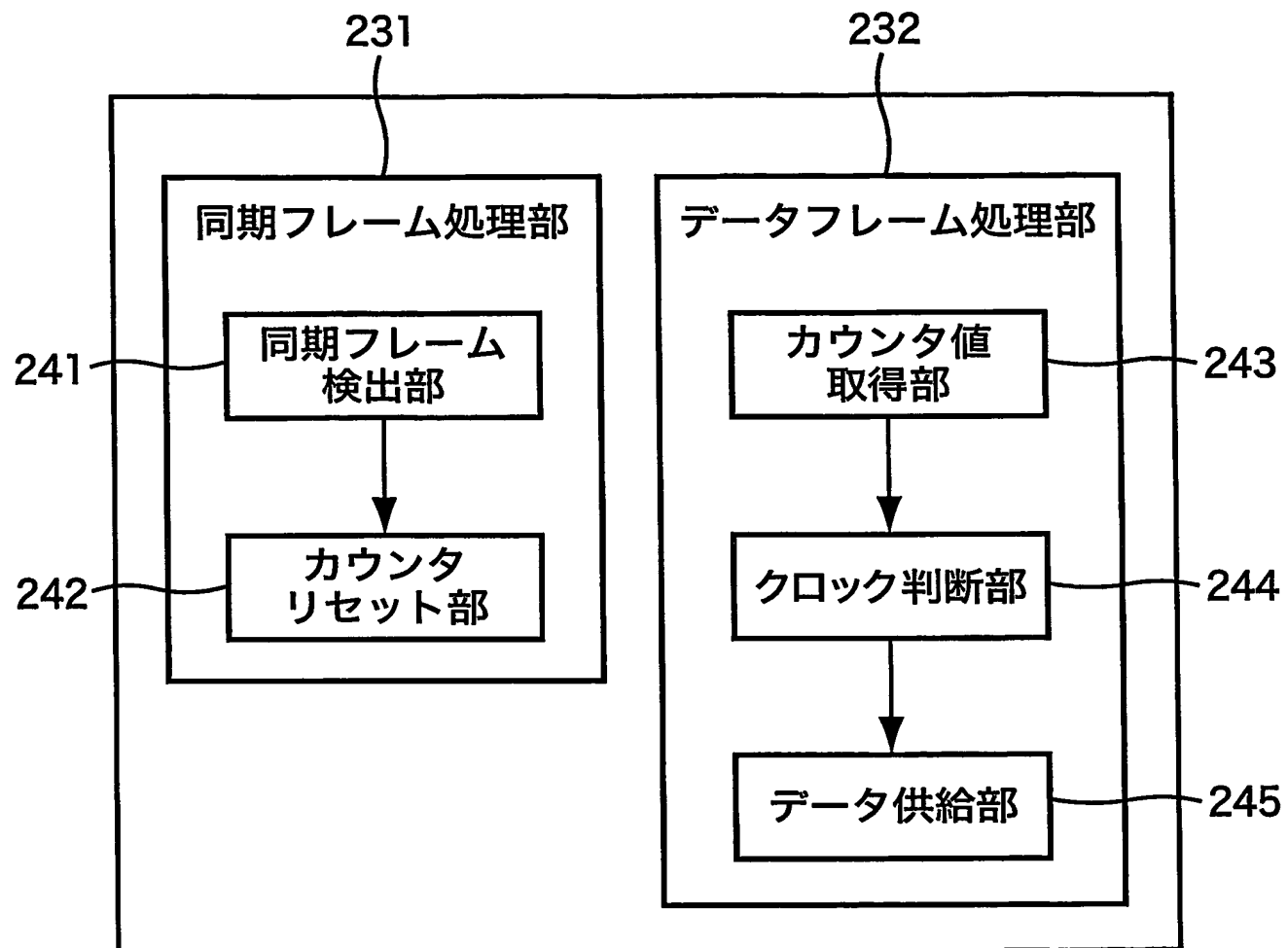


6/13



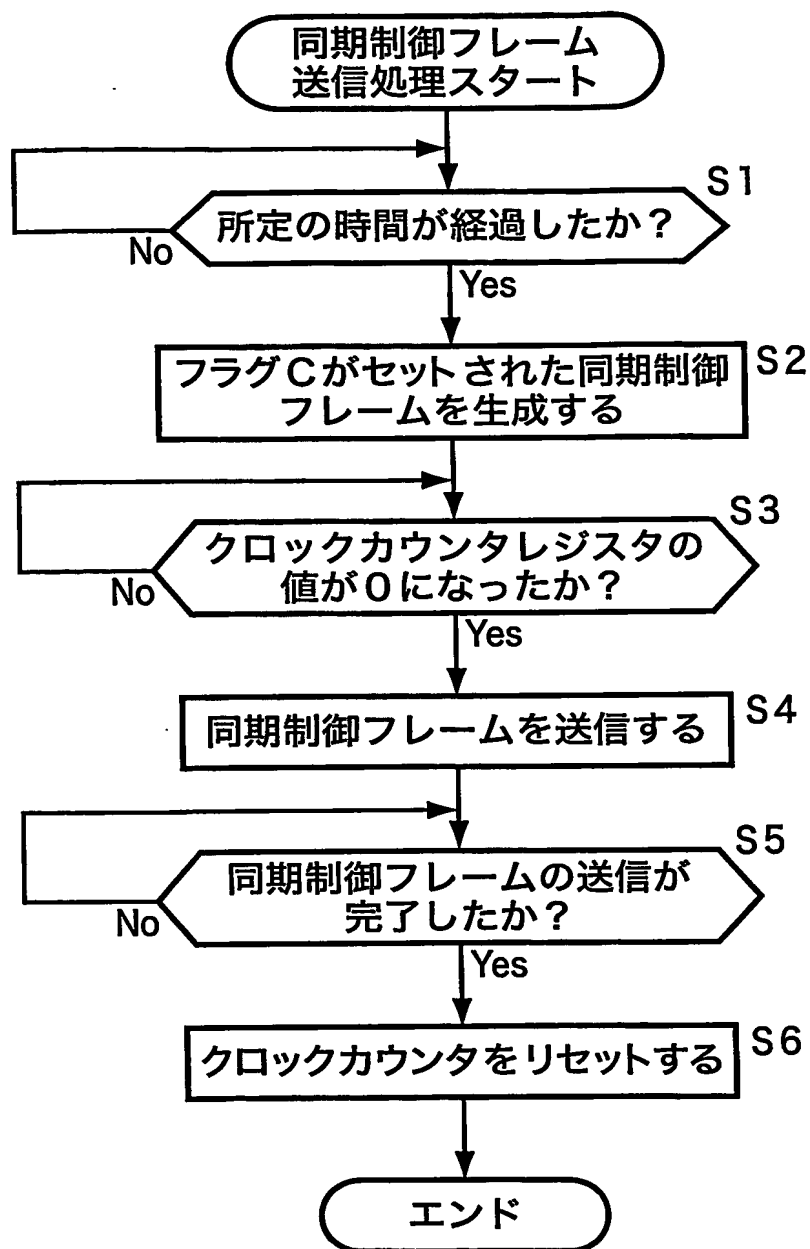
7/13

図 8



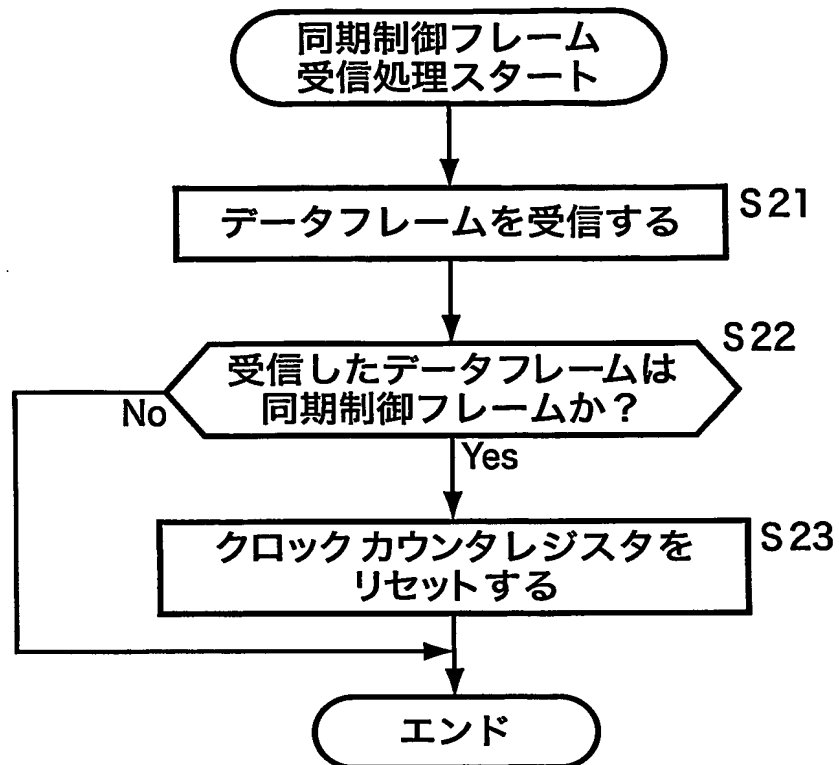
8/13

図 9



9/13

図 10



10/13

図 11

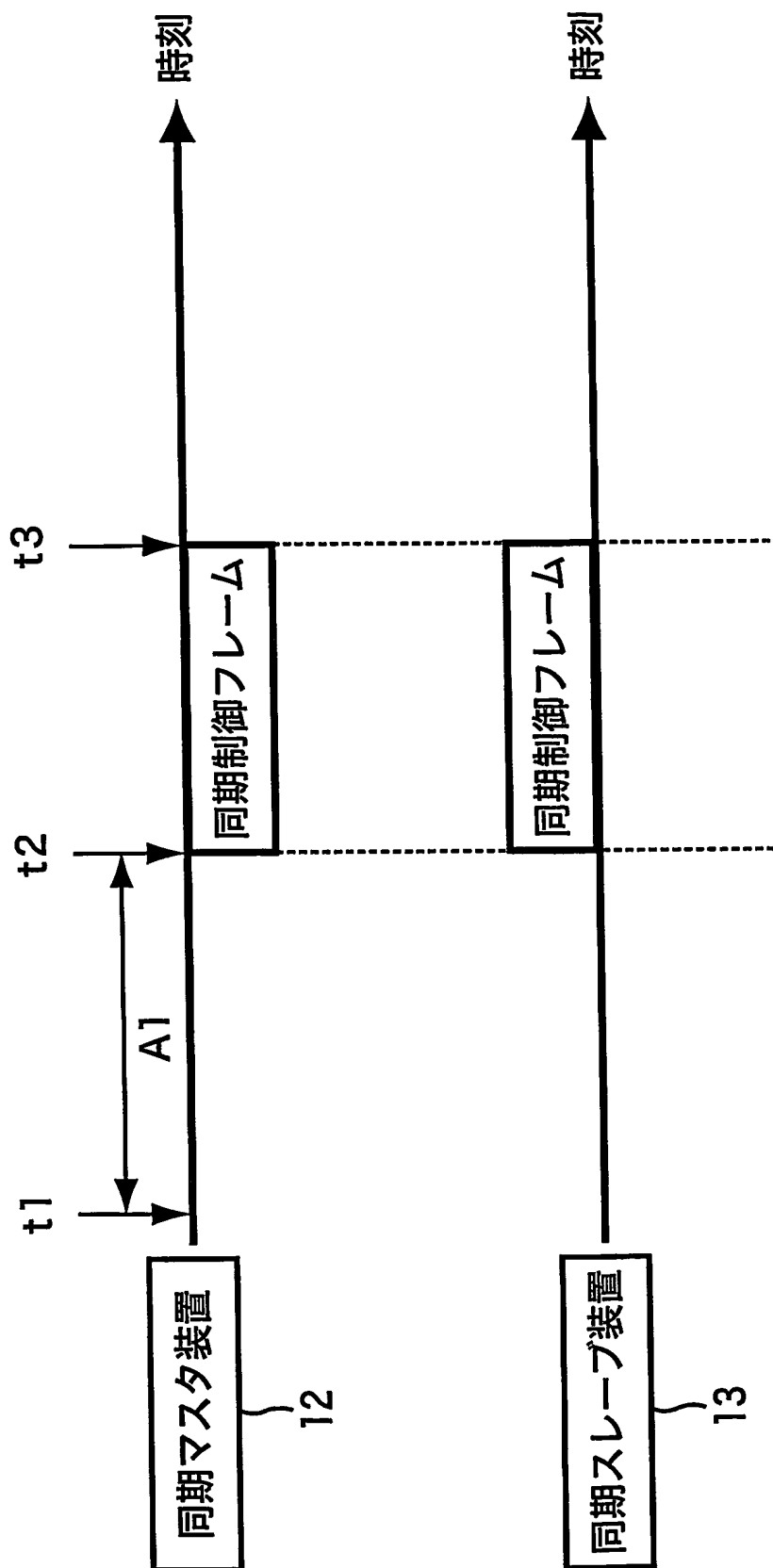
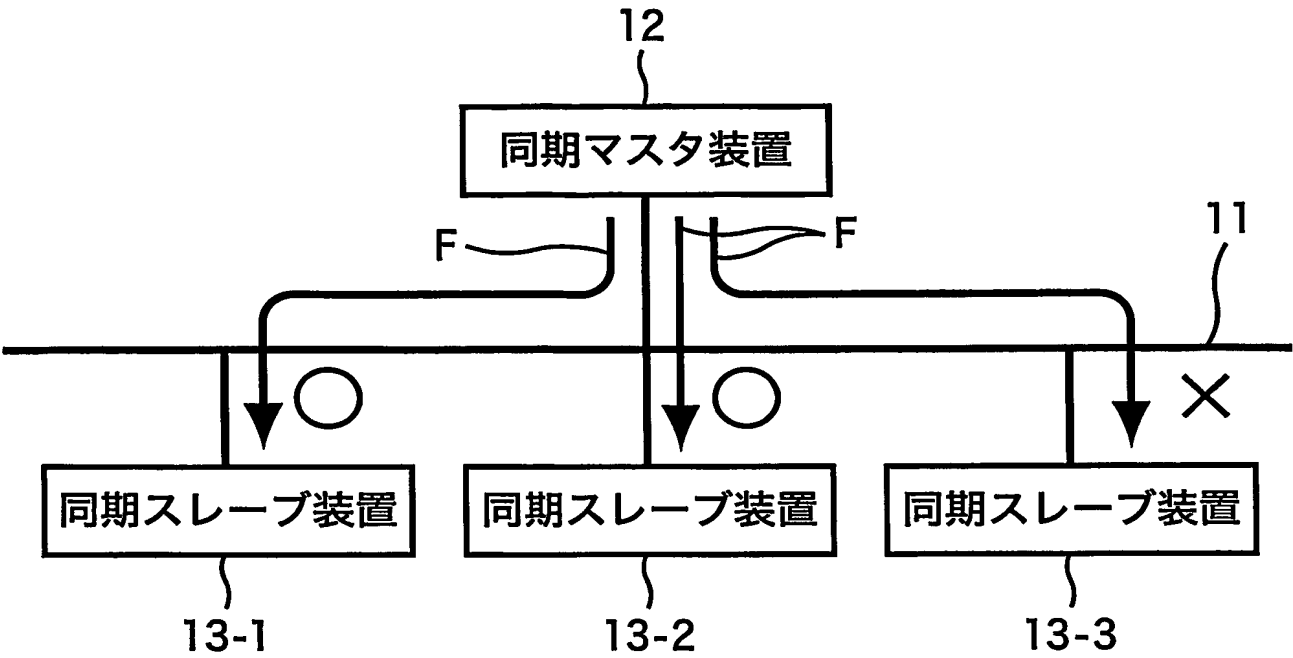
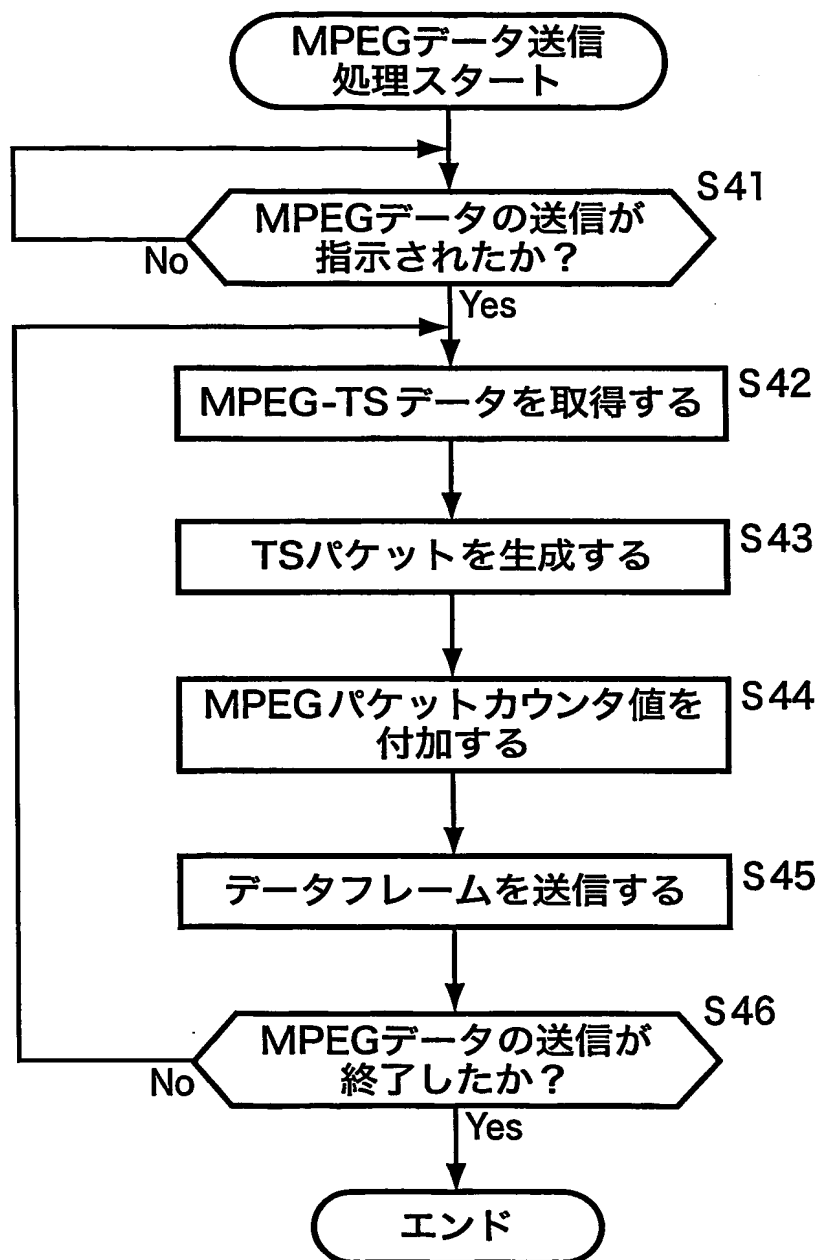


図 12



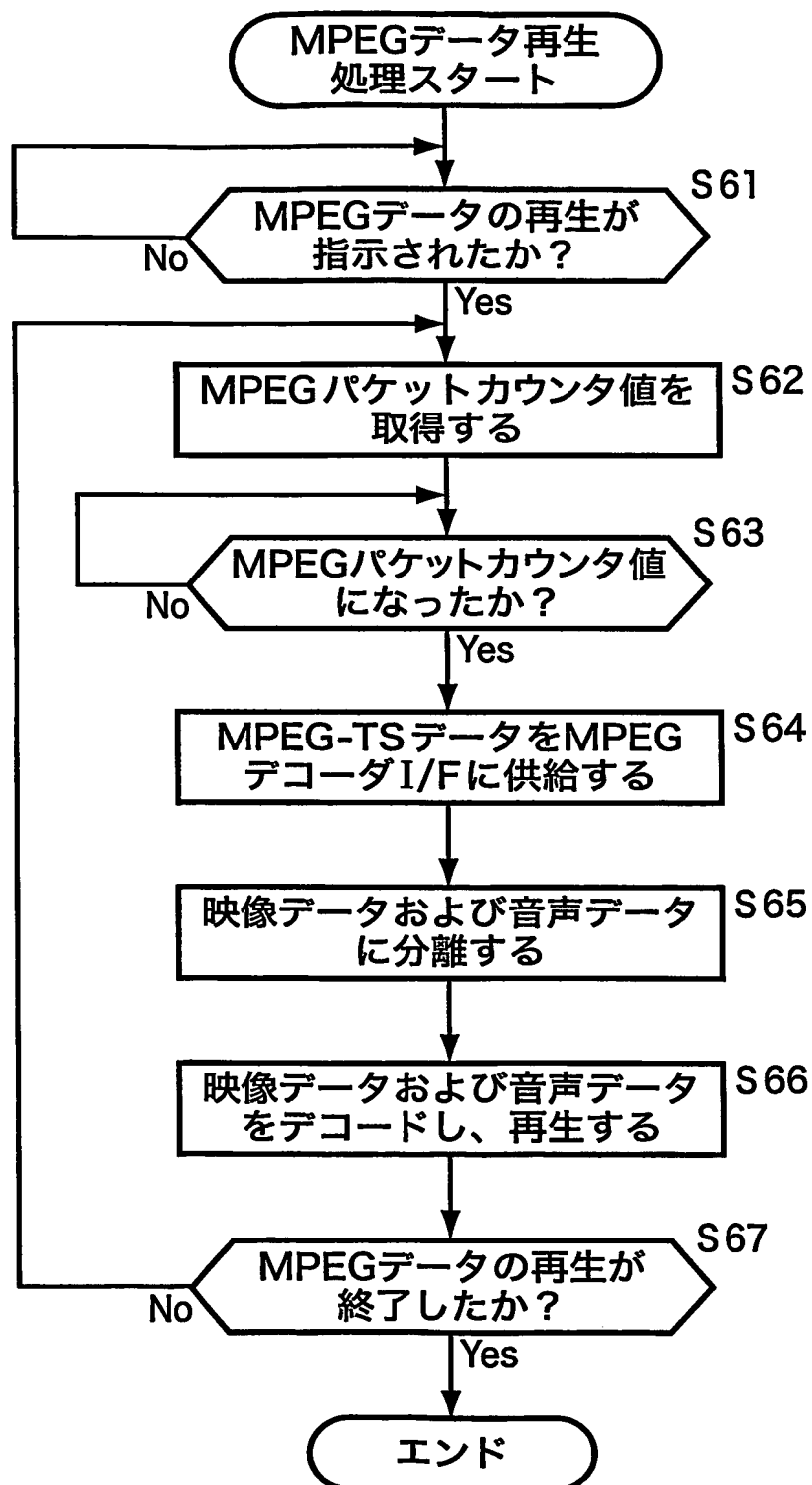
12/13

図 13



13/13

図 14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011420

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04L7/08, H04L7/00, H04L12/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04L7/08, H04L7/00, H04L12/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-516549 A (Koninklijke Philips Electronics N.V.), 25 September, 2001 (25.09.01), Full text & WO 1999/038287 A1 & EP 972371 A1 & US 6128318 A	1-17
A	JP 2-149051 A (Data General Corp.), 07 June, 1990 (07.06.90), Full text & US 4910754 A & EP 371593 A1 & DE 68924694 E	1-17

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
29 October, 2004 (29.10.04)Date of mailing of the international search report
16 November, 2004 (16.11.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04L7/08, H04L7/00, H04L12/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04L7/08, H04L7/00, H04L12/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-516549 A (コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ) 2001.09.25, 全文を参照。 &WO 1999/038287 A1 &EP 972371 A1 &US 6128318 A	1-17
A	JP 2-149051 A (データー・ゼネラル・コーポレーション) 1990.06.07, 全文を参照。 &US 4910754 A &EP 371593 A1 &DE 68924694 E	1-17

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

29.10.2004

国際調査報告の発送日

16.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

阿部 弘

5K

9382

電話番号 03-3581-1101 内線 3555